

复旦大学微电子学院

2023-2024 学年第一学期期中考试试卷

课程名称: 数字集成电路设计原理 课程代码: MICR130029(h)01/02

开课院系: 微电子学院 考试形式: 闭卷

姓名: 学号: 考试时间: 120 分钟

提示: 请同学们秉持诚实守信宗旨, 遵守考试纪律, 摒弃考试作弊。学生如有违反学校考试纪律的行为, 学校将按《复旦大学学生纪律处分条例》规定予以严肃处理。

题号	一	二	三	四	五	六	七	八	总分
得分									

一、单项选择题 (1' × 5)

- 台积电创始人是以下哪位 ()
A. 张忠谋 B. 张忠谋
C. 张自忠 D. 张献忠
- 以下不是本课程英文教材作者或共作者的是 ()
A. A.Chandrakasan B. B.Nikolic
C. J.M.Rabaey D. B.Razavi
- 在版图设计中, MOS 管的长宽尺寸由 () 与有源区共同决定
A. N 阱 B. 多晶硅栅
C. N+/P+注入 D. 接触孔
- 对于一般的反相器电路, 当静态输入电压为 V_{IL} 时, 输出电压为 ()
A. V_{IH} B. V_{IH} 与 V_{OH} 间的某个电压
C. V_{OH} D. V_{OH} 与 V_{DD} 间的某个电压
- 一般的反相器静态电压转移特性中, 不包括以下哪个区域 ()
A. N/PMOS 都处于截止区 B. N/PMOS 都处于线性区
C. N/PMOS 都处于饱和区 D. N/PMOS 一个在线性区, 一个在饱和区

二、对下列英文缩写写出英文全称及对应的中文翻译 (2' × 5)

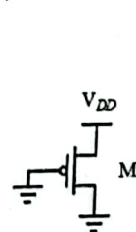
1. CMOS

2. XOR

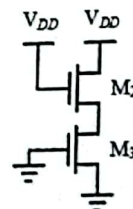
3. CPU

4. LVS

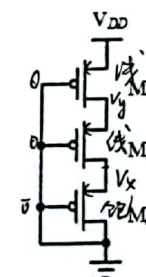
三、判断下列 MOS 器件分别工作在什么状态 (截止、线性、饱和、速度饱和) (6')



(a)



(b)



(c)

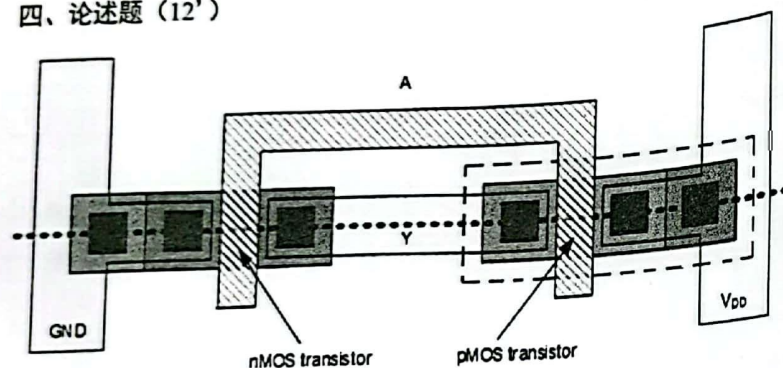
$$\begin{aligned}
 &|0 - V_x| > |V_{thp}| \\
 &V_x > |V_{thp}| \\
 &0 - V_y - V_{thp} < V_y - V_x \\
 &V_y - V_{thp} < V_y - V_x \\
 &0 - V_y - V_{thp} > V_x - V_y \\
 &0 - V_{thp} > V_x \\
 &|V_{thp}| > V_x \\
 &\Rightarrow 0 - V_{DD} - V_{thp} > V_y - V_{DD} \\
 &\quad \quad \quad \text{时}
 \end{aligned}$$

假设所有器件的宽长比均为 $W = 1\mu\text{m}$, $L = 0.25\mu\text{m}$, $|V_{thp}| = V_{thn} = 0.5V$, $V_{DD} = 2.5V$, $0 - V_{thp} > V_y$
对于 $0.25\mu\text{m}$ CMOS 工艺, 晶体管沟道内载流子速度达到饱和的条件为 $|V_{ds}| \geq 2V$ 。 $|V_{thp}| > V_y$



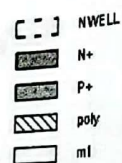
给出结论即可，不需要计算过程。

四、论述题 (12')



上图为反相器的俯视版图，

- 1、沿虚线剖面画出该反相器的器件剖面图；(5')
- 2、在剖面图上标注可能导致 Latch-Up 门锁效应的寄生器件 (建议用另一色笔)；(3')



- 3、画出 Latch-Up 效应的等效电路图，解释其发生机理，并说明为防止 Latch-Up 效应而在工艺、版图与设计层面可采用的措施。(4')

四、论述题 (20')

- 1、根据长沟道模型的 Scaling-Down 规则填写下表 (标 — 的格子不需要填写，15')

参数	关系	恒定电场缩小	恒定电压缩小
W, L, t_{ox}	—	$1/S$	$1/S$
V_{DD}, V_T	—	$1/S$	1
单个器件面积			
单位面积电容 C_{ox}		—	—
饱和电流 I_D		—	—
单个器件负载 C_L		—	—
本征延时			
单个器件功耗			
功率密度			

- 2、请根据上述表格，以及其他相关知识，论述工艺节点持续演进对性能的影响及可能存在的问题 (5')



扫描全能王 创建

五、论述题 (8')

简述静态互补 CMOS 逻辑门的功耗来源，必要时请用公式加以说明。

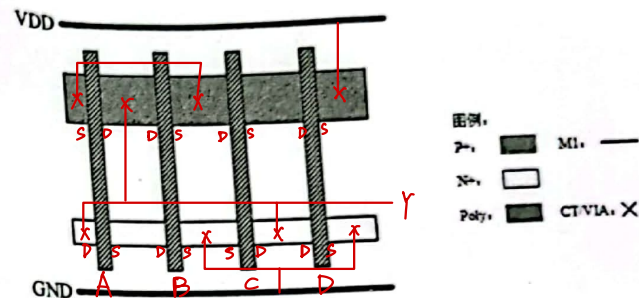
六、(10') 电路设计

1、画出 $Y = \overline{AB+C+D}$ 的线路图，通过晶体管排序优化 A 到 Y 的延时 (3')



2、为了使该逻辑的驱动能力与右图反相器的驱动能力相当，在上题线路图上直接标出各晶体管归一化尺寸 (2')

3、忽略尺寸，在下图模板上画出上述线路的版图草图，输入直接标在栅上，输出标在对应信号连线边，作图要求清晰整洁，可先在草稿纸上试画无误后誊写 (5')



七、电路设计 (16')

单级逻辑门，实现二选一逻辑 $Y = A \cdot \overline{Sel} + B \cdot Sel$ ，输入可以直接使用反相信号 \overline{Sel}

1、采用静态互补 CMOS 门电路实现，并对晶体管合理排序，优化 Sel 及 \overline{Sel} 到 Y 输出的延时，画出电路图在下面空白左侧 (4')

2、采用 CMOS 传输门实现同样逻辑功能，画出电路图在下面空白右侧 (4')



3、采用 PMOS 负载的有比逻辑实现同样逻辑功能，画出电路图在下面空白右侧，并说明其优缺点及可能的改进方案 (4')

4、采用动态逻辑实现同样逻辑功能，画出电路图在下面空白右侧，并说明其优缺点及可能的改进方案 (4')

八、计算题 (13')

三种尺寸倍数不同的反相器，输入电容分别为 C_{g1} 、 C_{g2} 、 C_{g3} ，反相器 1 扇出 3 个反相器 2，反相器 2 扇出 3 个反相器 3。假定所有反相器的本征电容与输入电容相等，空载时的本征延时均为 T_{p0} 。

- 1、写出节点 In 到 Out 的延时 (5')
- 2、如 CL 为 C_{g1} 的 70 倍，求 C_{g2} 和 C_{g3} 相对于 C_{g1} 的尺寸倍数，以使节点 In 到 Out 的延时最小 (5')
- 3、这时的最小延时值 (3')

